

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-082834

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

G01R 31/28
H01L 21/66

(21)Application number : 08-235034

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.09.1996

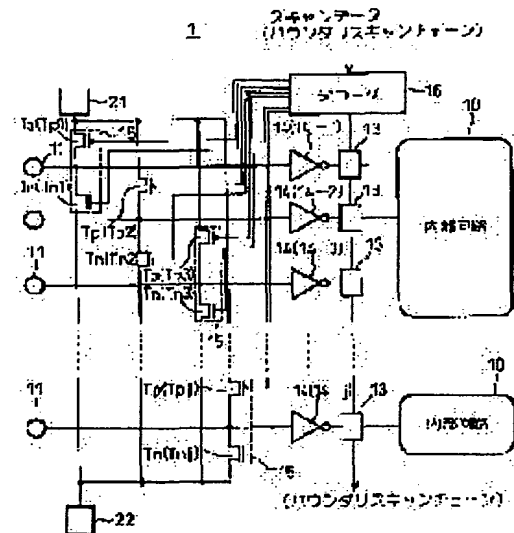
(72)Inventor : SUDO SATORU
SAITO TAICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To conduct wafer test and chip test for input/output sections by providing test circuits between connecting terminals and the input/output sections respectively.

SOLUTION: Test transistors 15 (P-channel type MOS transistor T_p , N-channel type MOS transistor T_n) are provided between the wires connecting test pads 21, 22, bumps 11, and input/output sections 14. The output signal of a decoder 16 is fed to the gates of the test transistors 15 to control their on or off. The scan data from a boundary scan chain are fed to the decoder 16, the test transistors 15 are selected in synchronization with the control of FFs 13, and the input/output section 14 between the corresponding FF 13 and the bump 11 is tested in sequence. The DC test of the input/output sections 14 which has been difficult for the wafer test and chip test can be conducted, and the yield after packaging can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

【特許請求の範囲】

【請求項1】 複数の接続端子（11）、内部回路（10）、および、該各接続端子と該内部回路との間にそれぞれ設けられた複数の入出力部（14）を有する半導体集積回路であって、

前記各接続端子と前記各入出力部との間にそれぞれ設けられた複数の第1の試験用回路（15）を備えたことを特徴とする半導体集積回路。

【請求項2】 請求項1の半導体集積回路において、前記半導体集積回路は、さらに、前記内部回路（10）と前記各入出力部（14）との間にそれぞれ設けられた複数の第2の試験用回路（13）を備えたことを特徴とする半導体集積回路。

【請求項3】 請求項2の半導体集積回路において、前記第1の試験回路（15）および前記第2の試験用回路（13）はデコーダ（16）により制御され、前記入出力部（14）における所定の試験を行うようになっていることを特徴とする半導体集積回路。

【請求項4】 請求項3の半導体集積回路において、前記第1の試験回路（15）は、前記各入出力部（14）および前記各接続端子（11）の接続ノードと第1の試験用パッド（21）との間に設けられた第1電導型の第1のトランジスタ（Tp）と、該接続ノードと第2の試験用パッド（22）との間に設けられた第2電導型の第2のトランジスタ（Tn）とを具備し、該第1および第2のトランジスタの制御電極には前記デコーダ（16）の出力が供給されていることを特徴とする半導体集積回路。

【請求項5】 請求項3の半導体集積回路において、前記第2の試験回路（13）は、前記デコーダ（16）の出力により順次選択されるフリップフロップを備えていることを特徴とする半導体集積回路。

【請求項6】 請求項3の半導体集積回路において、前記入出力部（14）は、入力回路、出力回路、または、入出力回路であり、前記所定の試験は、前記入出力部（14）の直流試験であることを特徴とする半導体集積回路。

【請求項7】 請求項6の半導体集積回路において、前記所定の試験は、前記入力回路部（14）における入力リーク電流試験、前記複数の入出力部（14）の接続端子間のリーク試験、前記出力回路または入出力回路（14）のハイインピーダンスリーク電流試験、または、前記出力回路または入出力回路（14）の出力電位試験であることを特徴とする半導体集積回路。

【請求項8】 請求項1～7のいずれか1項に記載の半導体集積回路において、前記第1の試験回路（15：Tp、Tn）がESD保護素子を兼ねるようになっていることを特徴とする半導体集積回路。

【請求項9】 請求項1～8のいずれか1項に記載の半導体集積回路において、前記半導体集積回路は、エリア

バンプ方式を適用した半導体集積回路であることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関する、特に、エリアバンプ（エリアBUMP）方式を適用した半導体集積回路に関する。近年のコンピュータシステムの高速化の要求に伴い、半導体集積回路を高密度に実装することが求められている。そして、実装面積を縮小するためにエリアバンプ方式によるパッケージやMCM（Multi Chip Module）の実装を採用するチップが増えて来ている。また、このエリアバンプ方式は、多数の入出力部（入力回路、出力回路、または、入出力回路）や信号端子を高密度に設けることができる。このようなエリアバンプ方式を適用した半導体集積回路に対するウエハ試験或いはチップ試験において、入出力部に対する試験も行うことが要望されている。

【0002】

【従来の技術】 図4はエリアバンプ方式によるマルチチップモジュールの構成を示す図であり、同図（a）はマルチチップモジュール（MCM）を実装する様子を示し、同図（b）は1つのバンプを拡大して示すものである。図4（a）に示されるように、半導体集積回路（チップ）1の表面（下面）には複数のバンプ11がアレイ状に設けられ、これらのバンプ11に対応する多層基板2の表面（上面）に設けられた各電極21に対応するように載置し、圧着処理または熱処理を行って、チップ1のバンプ11と多層基板2の電極21との接続を行ってMCMを構成するようになっている。ここで、多層基板2は複数の配線層（多層配線層）により構成され、該多層基板2上に搭載する複数のチップの配線を該多層配線層により接続するようになっている。また、多層基板2の複数のチップを搭載する面と反対側（下面）には、プリント基板等に取り付けるための複数のピンが設けられている。

【0003】 図4（b）はバンプ11を拡大して示すものであり、該バンプ11は、例えば、はんだや金等により半球面状として形成され、上述したように、チップ1の表面にアレイ状に形成されている。

【0004】

【発明が解決しようとする課題】 上述したエリアバンプ方式を適用したチップ（半導体集積回路）に対して実装前に行うウエハ試験或いはチップ試験においては、バンプ11に対して直接に試験用プローブピンを当てるのが困難なため、或いは、試験用プローブピンによりバンプ11を傷つけると多層基板2への実装に支障が生じるため、図5に示すようなチップの周囲にだけ試験用のパッドを設けて試験を行っている。

【0005】 図5は従来のエリアバンプを適用した半導体集積回路の一例を示す図であり、参照符号12は試験

用パッドを示している。図5に示す半導体集積回路は、チップ1の周囲の両側（左側および右側）に試験用パッド12を設け、ウエハ試験或いはチップ試験を該試験用パッド12に対して試験用プローブピンを当てることにより行っている。

【0006】さらに、関連技術として、試験用パッドのみをブローピングし、例えば、図6に示すようなバウンダリスキャン(Boundary Scan: バウンダリSCAN)方式により内部回路の試験を行うものが提案されている。図6は関連技術としてのエリアバンパを適用した半導体集積回路のレイアウト構成の例を示すものであり、バウンダリスキャン方式により内部回路の試験を行う方法を説明するための図である。ここで、図6(a)において、参照符号13はフリップフロップ(バウンダリスキャン・フリップフロップ)、14は出力バッファ(入出力部)、そして、121および122はテスト用パッドを示している。また、図6(b)は、図6(a)における参照符号AAで示した部分を拡大して示すブロック回路図である。

【0007】図6(a)に示されるように、バウンダリスキャン方式により内部回路の試験(ウエハ試験或いはチップ試験)を行う半導体集積回路は、バウンダリスキャンチェーンを形成するフリップフロップ(FF)13が出力バッファ14と内部回路10との間にチェーン状に設けられている。そのため、実装前のウエハやチップにおける試験では内部回路(内部機能回路ブロック)10の試験を行うことは可能であるが、出力バッファ14自体の試験は行うことができない。すなわち、各接続端子(バンパ)11と、フリップフロップ13との間に設けられた入出力部(14)の試験を行うことができない。

【0008】このように、バウンダリスキャン方式により内部回路の試験を行うものでも、入出力部(入力回路、出力回路、または、入出力回路)の試験は行われておらず、たとえ行われるとしても、ファンクション試験、若しくは、0/1判定試験だけであった。すなわち、従来或いは関連技術の半導体集積回路では、例えば、MCMに実装後(全信号端子を接続した後)に入出力部の直流試験を行っていた。ところで、一般に、エリアバンパ方式で実装するパッケージやMCMは高価なため、ウエハレベルでチップを選別することが重要であり、MCM実装後に試験を行ったのでは、MCM全体の歩留りが低下することになってしまう。

【0009】本発明は、上述した従来の半導体集積回路が有する課題に鑑み、エリアバンパ方式を適用した半導体集積回路に対するウエハ試験或いはチップ試験を入出力部に対しても行えるようにすることを目的とする。

【0010】

【課題を解決するための手段】本発明によれば、複数の接続端子、内部回路、および、該各接続端子と該内部回

路との間にそれぞれ設けられた複数の入出力部を有する半導体集積回路であって、前記接続端子と前記入出力部との間に設けられた第1の試験用回路を備えたことを特徴とする半導体集積回路が提供される。

【0011】前記半導体集積回路は、前記内部回路と前記入出力部との間に設けられた第2の試験用回路を備えている。さらに、前記第1の試験回路および前記第2の試験用回路はデコーダにより制御され、前記入出力部における所定の試験を実行するようになっている。

【0012】

【発明の実施の形態】本発明の半導体集積回路によれば、第1の試験用回路が接続端子と入出力部との間に設けられている。さらに、内部回路と入出力部との間には第2の試験用回路が設けられている。そして、第1の試験回路および第2の試験用回路はデコーダにより制御される。これによって、エリアバンパ方式を適用した半導体集積回路に対するウエハ試験或いはチップ試験を、入出力部に対しても行うことができる。

【0013】

【実施例】以下、図面を参照して本発明に係る半導体集積回路の実施例を説明する。図1は本発明に係る半導体集積回路の一実施例を示すブロック回路図である。同図において、参照符号1は半導体集積回路(チップ)、11は接続端子(バンパ)、13はフリップフロップ(バウンダリスキャン・フリップフロップ: 第2の試験回路)、14は入力バッファ(入出力部)、15は試験用トランジスタ(第1の試験回路)、16はデコーダ、そして、21および22はテスト用パッドを示している。

【0014】図1に示されるように、本実施例の半導体集積回路では、2つのテスト用パッド21および22が設けられ、各テスト用パッド21および22と、各バンパ11および各入力バッファ(入力回路)14を繋ぐ配線との間にそれぞれトランジスタTpおよびTn(試験用トランジスタ15: Tp1, Tn1; Tp2, Tn2; ……; Tpj, Tnj)が設けられている。

【0015】すなわち、テスト用パッド21とバンパ11および入力バッファ14を繋ぐ配線との間にPチャネル型MOSトランジスタTpを設け、且つ、テスト用パッド22とバンパ11および入力バッファ14を繋ぐ配線との間にNチャネル型MOSトランジスタTnを設け、これら試験用トランジスタTpおよびTnのゲートに対してデコーダ16の出力を与えるようになっている。ここで、デコーダ16には、バウンダリキャンチェーンのスクランデータが供給され、フリップフロップ13の制御と同期させて所定の試験用トランジスタTp、Tnを選択し、対応するフリップフロップ13およびバンパ11の間に設けられた入力バッファ14の試験を行うようになっている。

【0016】具体的に、例えば、入力バッファ14のリーク電流を測定する場合には、デコーダ16により所

定のPチャネル型トランジスタ T_p （例えば、トランジスタ T_{p1} ）のみをオン状態とし、さらに、テスト用パッド21に高電位の電源電圧を印可して、高電位電源側のリーク電流をテスト用パッド21から測定する。続いて、デコーダ16の設定を切り換えて、対応するNチャネル型トランジスタ T_n （例えば、トランジスタ T_{n1} ）のみをオン状態とし、さらに、テスト用パッド22に低電位の電源電圧（例えば、0ボルト）を印可して、低電位電源側のリーク電流をテスト用パッド22から測定する。同様に、デコーダ16の設定を順次切り換えて行くことにより、全ての入力バッファ14（14-1, 14-2, …… , 14-j）の入力リーク試験をテスト用パッド21および22から測定する。

【0017】また、例えば、図1における入力回路14がトライステートバッファの場合は、バウンダリスキャンにより、出力をハイインピーダンス状態に設定し、且つ、デコーダ16の出力を上記入力バッファの場合と同様に切り換えることにより、ハイインピーダンス時のリーク電流の測定を行うことも可能である。さらに、端子間のリーク試験を行う場合には、バウンダリスキャンチェーンからスキャンデータを送ってデコーダ16の設定を変更し、試験用トランジスタ15の奇数段のPチャネル型トランジスタ（ T_{p1} , T_{p3} , …）をオン状態とし、且つ、試験用トランジスタ15の偶数段のNチャネル型トランジスタ（ T_{n2} , T_{n4} , …）をオン状態として、テスト用パッド21と22との間に流れる電流を測定する。同様に、奇数段のNチャネル型トランジスタ（ T_{n1} , T_{n3} , …）をオン状態とし、且つ、試験用トランジスタ15の偶数段のPチャネル型トランジスタ（ T_{p2} , T_{p4} , …）をオン状態として、テスト用パッド21と22との間に流れる電流を測定する試験（端子間のリーク試験）も行うことができる。

【0018】図2は図1の半導体集積回路の構成を説明するための図である。図2（a）に示されるように、試験用トランジスタ15におけるPチャネル型およびNチャネル型トランジスタ T_p , T_n （ T_{p1} , T_{n1} ; T_{p2} , T_{n2} ; …… ; T_{pj} , T_{nj} ）は、ウエハ試験或いはチップ試験が終了した後、すなわち、パッケージまたはMCM実装の後、デコーダの設定によりすべてオフ状態となるようにする。すなわち、Pチャネル型トランジスタ T_p のゲートには高電位電源電圧を印加し、また、Nチャネル型トランジスタ T_n のゲートには低電位電源電圧を印加する。これにより、図2（b）に示されるように、入出力部（入力回路14）の入力には、静電破壊防止用のダイオード（ T_p , T_n ）が設けられることになる。

【0019】このように、本発明で使用する試験用トランジスタ15（ T_p , T_n ）は、ウエハ試験或いはチップ試験が終了した後は、ESD保護素子として使用されるようになっている。従って、実質的には、試験用トランジスタ15による占有面積の増加を考えなくて良いこ

とになる。図3は本発明に係る半導体集積回路の他の実施例を示すブロック回路図であり、本発明を出力バッファ（出力回路）に適用した場合を示すものである。すなわち、図3に示す実施例は、図1の実施例において、入力バッファを出力バッファに置き換えたものに対応する。

【0020】図3に示されるように、本実施例の半導体集積回路では、2つのテスト用パッド21および22が設けられ、各テスト用パッド21および22と、各バンプ11および各出力バッファ（出力回路）14を繋ぐ配線との間にそれぞれトランジスタ T_p および T_n （試験用トランジスタ15： T_{p1} , T_{n1} ; T_{p2} , T_{n2} ; …… ; T_{pj} , T_{nj} ）が設けられている。

【0021】すなわち、テスト用パッド21とバンプ11および出力バッファ14を繋ぐ配線との間にPチャネル型MOSトランジスタ T_p を設け、且つ、テスト用パッド22とバンプ11および入力バッファ14を繋ぐ配線との間にNチャネル型MOSトランジスタ T_n を設け、これら試験用トランジスタ T_p および T_n のゲートに対してデコーダ16の出力を与えるようになっている。ここで、デコーダ16には、バウンダリスキャンチェーンのスキャンデータが供給され、フリップフロップ13の制御と同期させて所定の試験用トランジスタ T_p , T_n を選択し、対応するフリップフロップ13およびバンプ11の間に設けられた出力バッファ14の試験を行うようになっている。以上の構成は、入力バッファを出力バッファに置き換えた以外は、前述した図1と同様である。

【0022】具体的に、例えば、出力バッファ14の出力電位を試験する場合には、デコーダ16により所定のPチャネル型トランジスタ T_p （例えば、トランジスタ T_{p1} ）のみをオン状態とし、さらに、デコーダ16の設定を切り換えて所定の出力バッファ14の出力が高レベル”H”となるように設定する。すなわち、出力バッファ14がインバータの場合には、該出力バッファ14の入力に対して低レベル”L”を供給するようにフリップフロップ13を設定する。そして、この時の出力電位（高出力電位）をテスト用パッド21から測定する。

【0023】続いて、デコーダ16の設定を切り換えて、対応するNチャネル型トランジスタ T_n （例えば、トランジスタ T_{n1} ）のみをオン状態とし、さらに、所定の出力バッファ14の出力が低レベル”L”となるように（該出力バッファ14の入力に対して高レベル”H”を供給するように）設定し、この時の出力電位（低出力電位）をテスト用パッド22から測定する。同様に、デコーダ16の設定を順次切り換えて行くことにより、全ての出力バッファ14（14-1, 14-2, …… , 14-j）の出力電位試験をテスト用パッド21, 22を介して行うことができる。

【0024】上述した各実施例において、テスト用パッ

ド 2 1 および 2 2 は、兼用することができ、また、これらのテスト用パッドは、数十～百の入出力部に対して一組設ければよいので、該テスト用パッドによるチップ面積の増加の影響は殆どない。なお、上述した試験（直流試験）は、単なる例であり、他に様々な試験を行うことができるのはいうまでもない。

【0025】このように、本実施例の半導体集積回路によれば、テスト用パッド 2 1、2 2 を設け、該テスト用パッドとバンプ 1 1 および入出力部 1 4 を繋ぐ配線との接続を試験用トランジスタ 1 5 (Tp, Tn) で制御し、バウンダリスキャンからのスキャンデータにより制御されるデコーダ 1 6 の出力信号により、試験用トランジスタ 1 5 の ON/OFF を制御し、テスト用パッド 2 1、2 2 に繋がる入出力部 1 4 を切り換えて、入出力部 1 4 に対して順次直流試験を行うようになっている。これにより、エリアバンプ品の実装前の試験（ウエハやチップ試験）において、今までは困難であり、無視されていた入出力部の直流試験を容易に行うことが可能となり、その結果、MCM 実装後の歩留まりを向上させることができる。

【0026】

【発明の効果】以上、詳述したように、本発明の半導体集積回路によれば、第 1 の試験用回路を接続端子と入出力部との間に設けることにより、エリアバンプ方式を適用した半導体集積回路に対するウエハ試験或いはチップ

試験を、入出力部に対しても行うことができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体集積回路の一実施例を示すブロック回路図である。

【図 2】図 1 の半導体集積回路の構成を説明するための図である。

【図 3】本発明に係る半導体集積回路の他の実施例を示すブロック回路図である。

【図 4】エリアバンプ方式によるマルチチップモジュールの構成を示す図である。

【図 5】従来のエリアバンプを適用した半導体集積回路の一例を示す図である。

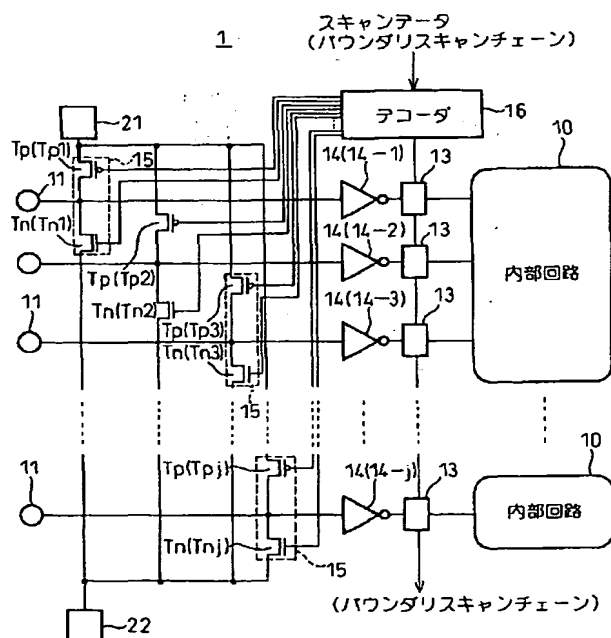
【図 6】関連技術としてのエリアバンプを適用した半導体集積回路のレイアウト構成の例を示す図である。

【符号の説明】

- 1 … 半導体集積回路
- 1 0 … 内部回路
- 1 1 … 接続端子（バンプ）
- 1 3 … 第 2 の試験回路（フリップフロップ）
- 1 4 … 入出力部（入力回路、出力回路、または、入出力回路）
- 1 5 … 第 1 の試験回路（試験用トランジスタ）
- 1 6 … デコーダ
- 2 1, 2 2 … テスト用パッド

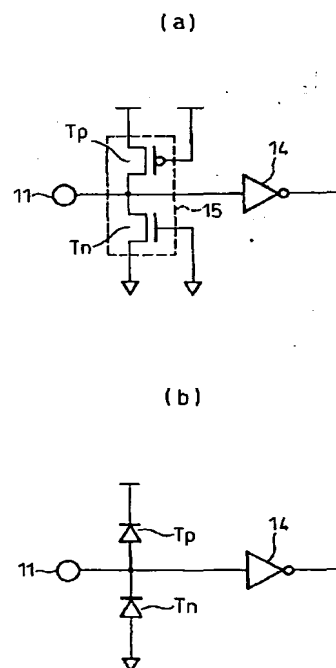
【図 1】

本発明に係る半導体集積回路の一実施例を示すブロック回路図



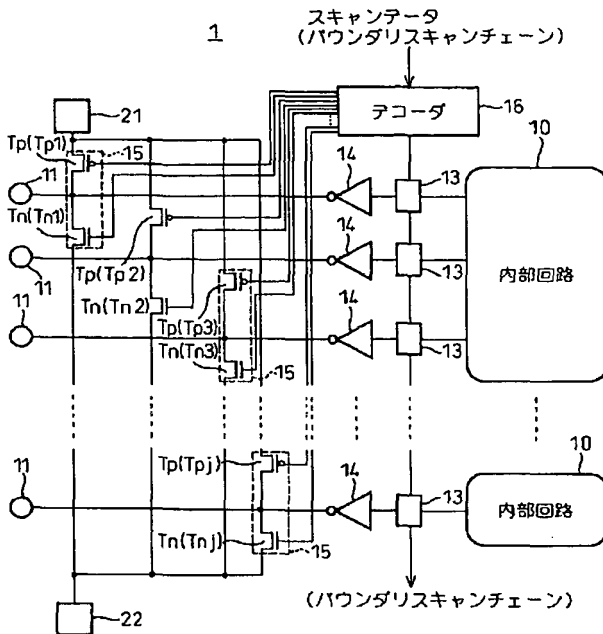
【図 2】

図 1 の半導体集積回路の構成を説明するための図



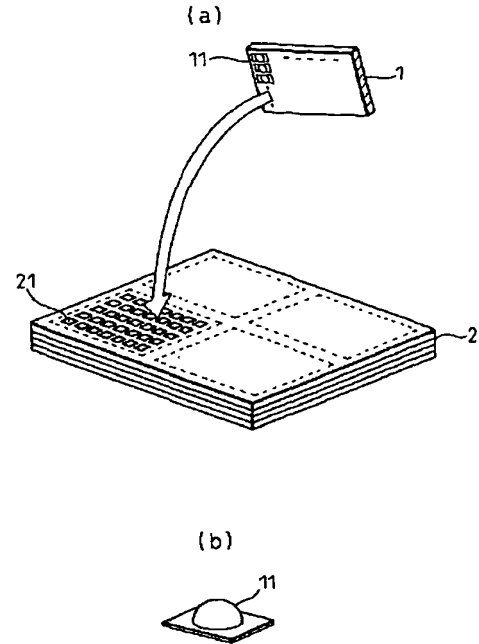
【図3】

本発明に係る半導体集積回路の他の実施例を示すブロック回路図



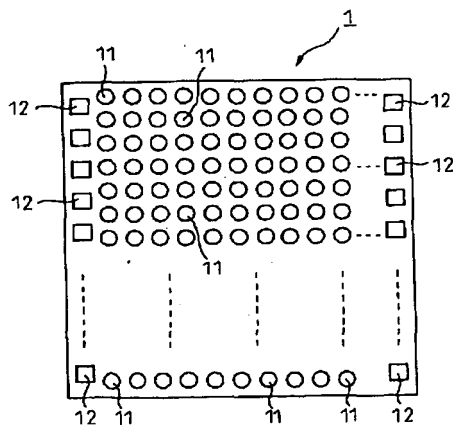
【図4】

エリアバンパ方式によるマルチチップモジュールの構成を示す図



【図5】

従来のエリアバンパを適用した半導体集積回路の一例を示す図



【図6】

関連技術としてのエリアバンパを適用した半導体集積回路のレイアウト構成の例を示す図

